

AG

Requested Patent JP8185794A

Title:

MANUFACTURE OF MICRO-EMITTER ELECTRODE AND MICRO-EMITTER DEVICE ;

Abstracted Patent: JP8185794 ;

Publication Date: 1996-07-16 ;

Inventor(s): KURIHARA KAZUAKI;; SEKINE MAKOTO;; HORIOKA KEIJI ;

Applicant(s): TOSHIBA CORP ;

Application Number: JP19940326312 19941227 ;

Priority Number(s): ;

IPC Classification: H01J9/02; H01J1/30 ;

Equivalents: ;

ABSTRACT:

PURPOSE: To provide emitter electrodes having an extremely high integration degree, selectively applied with wiring to the electrodes, and capable of being individually controlled by forming trenches on a substrate, and burying an electrode material in them to form the electrodes.

CONSTITUTION: A mask 12 for forming trenches 13 on a silicon substrate 11 is formed, and tapered trenches 13 are formed by reactive ion etching or the like. When the trenches 13 are formed on a Si wafer in a magnetron RIE device, the trenches 13 with the width  $0.3\mu m$  and the depth  $1\mu m$  are obtained under the etching conditions of the prescribed pressure, the prescribed substrate temperature, and the prescribed gas flow with the prescribed composition. A metal 14 such as W, Al, Cu is buried in the trenches 13 via deposition by sputtering, etc., and is deposited on the silicon substrate 11, and an insulating material 15 is deposited on the deposited metal 14 by sputtering, etc. The silicon substrate 11 is removed by dry or wet etching, and the metal 14 buried in the trenches 13 is exposed as needle-like electrodes 16.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-185794

(43)公開日 平成8年(1996)7月16日

(51)Int.Cl.<sup>6</sup>

H 0 1 J 9/02  
1/30

識別記号

府内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数7 O.L (全8頁)

(21)出願番号 特願平6-326312

(22)出願日 平成6年(1994)12月27日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 栗原一彰

神奈川県川崎市幸区小向東芝町1 株式会社東芝研究開発センター内

(72)発明者 関根誠

神奈川県川崎市幸区小向東芝町1 株式会社東芝研究開発センター内

(72)発明者 堀岡啓治

神奈川県川崎市幸区小向東芝町1 株式会社東芝研究開発センター内

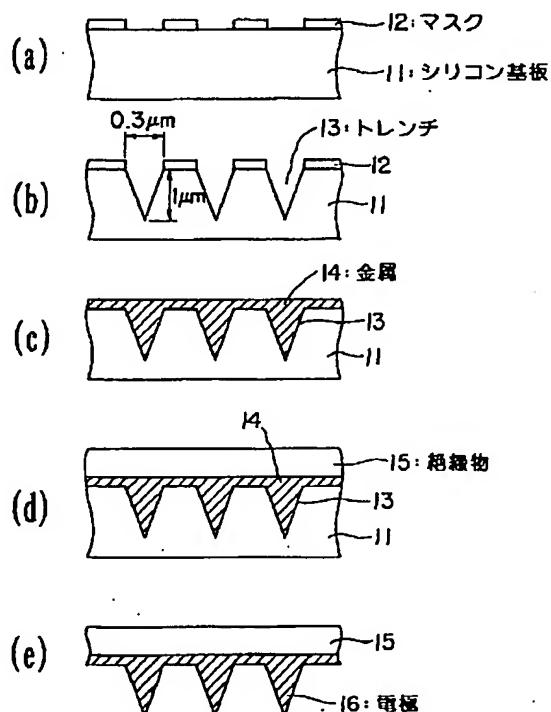
(74)代理人 弁理士 佐藤一雄 (外3名)

(54)【発明の名称】マイクロエミッタ電極の製造方法およびマイクロエミッタ装置

(57)【要約】

【目的】電子を放出するためのマイクロエミッタ電極の集積度を向上すると共に、これらを個々に制御して微細領域での電子放出を可能にする。

【構成】シリコン基板11上に複数のテーパ状のトレンチ13を形成するプロセスと、トレンチ13に金属14を堆積するプロセスと、金属14の上およびシリコン基板11上に絶縁物15を形成するプロセスと、シリコン基板11をエッチングして、トレンチ13に堆積された金属14の少なくとも一部を露出させて電極16とするプロセスと、によりマイクロエミッタ電極を製造する。



## 【特許請求の範囲】

【請求項1】基板に複数の先端の尖ったトレンチを形成する工程と、前記トレンチ内に電極材料を堆積する工程と、前記電極材料上に電極支持層を形成する工程と、前記基板をエッティングして、前記トレンチに堆積された電極材料の少なくとも1部を露出させてマイクロエミッタ電極とする工程と、を備えることを特徴とするマイクロエミッタ電極の製造方法。

【請求項2】基板に複数の先端の尖ったトレンチを形成する工程と、前記トレンチ内に電極材料を堆積する工程と、前記電極材料上に電極支持層を形成する工程と、前記各トレンチ内の電極材料を互いに絶縁し、且つ、前記各トレンチ内の電極材料に選択的に配線を施す工程と、前記基板をエッティングして、前記トレンチに堆積された電極材料の少なくとも1部を露出させてマイクロエミッタ電極とする工程と、を備えることを特徴とするマイクロエミッタ電極の製造方法。

【請求項3】基板に複数の先端の尖ったトレンチを形成する工程と、前記基板の表面およびトレンチ内に絶縁膜を形成する工程と、

前記絶縁膜のうちの前記トレンチの先端部分を除去して穴を形成し、前記基板を露出させる工程と、前記絶縁膜の穴を介して、前記基板内的一部分に前記トレンチの先端を囲う形に電極囲繞層を形成する工程と、前記トレンチに電極材料を堆積する工程と、

前記電極材料の上および基板上に電極支持層を形成する工程と、前記基板を前記電極支持層と反対側からエッティングして、前記半導体層の一部を露出させる工程と、

前記基板上にアノードとなる導電膜を形成する工程と、

前記導電膜の前記トレンチに対応する部分のみを除去開口する工程と、

前記電極囲繞層および前記トレンチ内の先端部分の絶縁膜をエッティングして、前記トレンチに堆積された電極材料の少なくとも先端部分を露出させてマイクロエミッタ電極とする工程と、

を備えることを特徴とするマイクロエミッタ電極の製造方法。

【請求項4】高集積度で配置された、各々が互いに絶縁された複数のマイクロエミッタ電極と、

前記各マイクロエミッタ電極の任意のものに選択的に接続され、前記各マイクロエミッタ電極を任意に個別に制御可能とする配線と、

を備えることを特徴とするマイクロエミッタ装置。

【請求項5】高集積度で配置されるマイクロエミッタ電極と、

前記各マイクロエミッタ電極の任意のものに選択的に配線され、前記各マイクロエミッタ電極を個別に制御する配線と、

前記マイクロエミッタ電極に対応して配置される基板上に前記マイクロエミッタ電極に對面して配置される被露光材と、

前記基板と、前記各マイクロエミッタ電極に接続された各配線との間に、選択的に電圧を印加して、前記マイクロエミッタ電極から前記被露光材に電子を照射させて、前記被露光材を所望のパターンで露光させる電圧印加手段と、

を備えることを特徴とするマイクロエミッタ装置。

【請求項6】高集積度で配置されるマイクロエミッタ電極と、

前記各マイクロエミッタ電極の任意のものに選択的に配線され、前記各マイクロエミッタ電極を個別に制御する配線と、

前記マイクロエミッタ電極に対応して配置される蛍光板と、

前記蛍光板と、前記各マイクロエミッタ電極に接続された各配線との間に、選択的に電圧を印加して、前記マイクロエミッタ電極から前記蛍光板に電子を照射させ、前記蛍光板上に所望のパターンを表示させる電圧印加手段と、

を備えることを特徴とするマイクロエミッタ装置。

【請求項7】高集積度で配置されるマイクロエミッタ電極と、

前記マイクロエミッタ電極に対向して配置されるアノード電極と、

前記各マイクロエミッタ電極に対応して配置されるトランジスタと、

前記トランジスタを制御することにより前記マイクロエミッタ電極と前記アノード電極の間の電圧を制御する電圧印加手段と、

を備えることを特徴とするマイクロエミッタ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はマイクロエミッタ電極の製造方法およびマイクロエミッタ装置に関する。

【0002】

【従来の技術】マイクロエミッタ電極は、細かい電極を多数、高い集積度で配置し、ここから電子を放出させるための電極である。このマイクロエミッタ電極は、従来から、シリコン基板を等方エッティングすることにより電子を放出する電極を形成することにより構成される。

【0003】より詳しくは、マイクロエミッタ電極は、図7からわかるように、シリコン基板101上にマスク

50 102を形成し、この状態で等方性エッティングを施し

て、マスク102とマスク102の間の材料を除去して溝101aを形成し、各マスク102の真下に電極101b、101b、……を残存させることにより構成されていた。この図7からわかるように、電極101bは2つの溝101a、101aの間に形成されるものであるため、この電極101bを先端の細いものとするには、2つのマスク102の間をある程度広げ且つ溝101aをある程度深くする必要がある。これにより、2つの電極101b、101b間の間隔は必然的にある程度広いものとなるのが避けられない。電極101bの集積度は一般に $10^4 \sim 10^5$  (個/mm<sup>2</sup>) 程度となる。集積度を高める要求はあるものの、このような加工方法で作っている限り限度があり、このことが一般に知られているため、この程度以上の集積度、例えば1桁あるいは2桁程度集積度を上げることについての要求は従来は特別なかった。つまり、従来は、従来行われている加工方法のもとで工夫することによる集積度の向上についての要求はあったが、それ以上についての要求は、もともと無理と思われていたためなかった。

【0004】しかるに、本発明者は、独自に、従来の常識を越えた高集積度の製品の必要性を感じ、従来の加工方法に基づく制限を越えて大幅に集積度を向上させようという全く新たな課題を持つに至った。

#### 【0005】

【発明が解決しようとする課題】このように、従来のマイクロエミッタ電極には、それが等方性エッチング技術により形成されていたため、高集積化に限界があったが、本発明者はその限界をはるかに越えた集積化を可能にした製品を提供するという新たな課題を持つに至った。

【0006】本発明は、上記に鑑みてなされたもので、その目的は、非常に高い集積度のマイクロエミッタ電極を提供することにある。

【0007】請求項1に記載のマイクロエミッタ電極の製造方法は、基板に複数の先端の尖ったトレンチを形成する工程と、前記トレンチ内に電極材料を堆積する工程と、前記電極材料上に電極支持層を形成する工程と、前記基板をエッチングして、前記トレンチに堆積された電極材料の少なくとも1部を露出させてマイクロエミッタ電極とする工程と、を備えることを特徴とするマイクロエミッタ電極の製造方法を提供するものである。

【0008】請求項2に記載のマイクロエミッタ電極の製造方法は、基板に複数の先端の尖ったトレンチを形成する工程と、前記トレンチ内に電極材料を堆積する工程と、前記電極材料上に電極支持層を形成する工程と、前記各トレンチ内の電極材料を互いに絶縁し、且つ、前記各トレンチ内の電極材料に選択的に配線を施す工程と、前記基板をエッチングして、前記トレンチに堆積された電極材料の少なくとも1部を露出させてマイクロエミッタ電極とする工程と、を備えることを特徴とするマイク

ロエミッタ電極の製造方法を提供するものである。

【0009】請求項3に記載のマイクロエミッタ電極の製造方法は、基板に複数の先端の尖ったトレンチを形成する工程と、前記基板の表面およびトレンチ内に絶縁膜を形成する工程と、前記絶縁膜のうちの前記トレンチの先端部分を除去して穴を形成し、前記基板を露出させる工程と、前記絶縁膜の穴を介して、前記基板内的一部分に前記トレンチの先端を囲う形に電極回繞層を形成する工程と、前記トレンチに電極材料を堆積する工程と、前記電極材料の上および基板上に電極支持層を形成する工程と、前記基板を前記電極支持層と反対側からエッチングして、前記半導体層の一部を露出させる工程と、前記基板上にアノードとなる導電膜を形成する工程と、前記導電膜の前記トレンチに対応する部分のみを除去開口する工程と、前記電極回繞層および前記トレンチ内の先端部分の絶縁膜をエッチングして、前記トレンチに堆積された電極材料の少なくとも先端部分を露出させてマイクロエミッタ電極とする工程と、を備えることを特徴とするマイクロエミッタ電極の製造方法を提供するものである。

【0010】請求項4記載のマイクロエミッタ装置は、高集積度に配置された、各々が互いに絶縁された複数のマイクロエミッタ電極と、前記各マイクロエミッタ電極の任意のものに選択的に接続され、前記各マイクロエミッタ電極を任意に個別に制御可能とする配線と、を備えることを特徴とするマイクロエミッタ装置を提供するものである。

【0011】請求項5に記載のマイクロエミッタ装置は、高集積度で配置されるマイクロエミッタ電極と、前記各マイクロエミッタ電極の任意のものに選択的に配線され、前記各マイクロエミッタ電極を個別に制御する配線と、前記マイクロエミッタ電極に対応して配置される基板上に前記マイクロエミッタ電極に對面して配置される被露光材と、前記基板と、前記各マイクロエミッタ電極に接続された各配線との間に、選択的に電圧を印加して、前記マイクロエミッタ電極から前記被露光材に電子を照射させて、前記被露光材を所望のパターンで露光させる電圧印加手段と、を備えることを特徴とするマイクロエミッタ装置を提供するものである。

【0012】請求項6のマイクロエミッタ装置は、高集積度で配置されるマイクロエミッタ電極と、前記各マイクロエミッタ電極の任意のものに選択的に配置され、前記各マイクロエミッタ電極を個別に制御する配線と、前記マイクロエミッタ電極に対応して配置される蛍光板と、前記蛍光板と、前記各マイクロエミッタ電極に接続された各配線との間に、選択的に電圧を印加して、前記マイクロエミッタ電極から前記蛍光板に電子を照射させ、前記蛍光板上に所望のパターンを表示させる電圧印加手段と、を備えることを特徴とするマイクロエミッタ装置を提供するものである。

【0013】請求項7に記載のマイクロエミッタ装置は、高集積度で配置されるマイクロエミッタ電極と、前記マイクロエミッタ電極に対向して配置されるアノード電極と、前記各マイクロエミッタ電極に対応して配置されるトランジスタと、前記トランジスタを制御することにより前記マイクロエミッタ電極と前記アノード電極の間の電圧を制御する電圧印加手段と、を備えることを特徴とするマイクロエミッタ装置を提供するものである。

#### 【0014】

【作用】本発明のマイクロエミッタ電極の製造方法では、微細に作ることのできるトレンチの中に電極材料を堆積するようにしたので、この電極材料によりマイクロエミッタ電極が高集積度で形成される。さらに、高集積度で形成された電極に、個々に配線が施され、個別に選択制御可能なマイクロエミッタ電極を実現される。さらに、各電極に対向してアノード電極を配置するようにしたので、電子の放出の制御が可能である。

【0015】また、高集積度のマイクロエミッタ電極の解像度に対応したパターンの露光が実現され、さらにマイクロエミッタ電極に対向して設けたアノード電極と、マイクロエミッタ電極との間の印加電圧を制御できるので、マイクロエミッタ電極からの電子の放出量が個別に制御される。

#### 【0016】

【実施例】本発明の実施例を説明するに先立ち、本発明がなされるに至った経緯について説明する。

【0017】先にも説明したように、従来は、シリコン基板の上にマスクパターンを形成し、その状態で等方性エッチングすることにより、尖鋭状態に残存する部分を電極としている。これに対し、本発明者は、独自に研究を重ねることにより、材料にエッチングによりトレンチを形成して型を作り、このトレンチに電極材料を埋め込み、その後に型を取り除けば、従来方法では考えられな\*

ガス流量	C <sub>l</sub> <sub>2</sub>	40	SCCM	+	O <sub>2</sub>	10	SCCM
圧力	75 mTorr						
RFパワー	800 W						
基板温度	0°C						

なる条件とすれば、図1(b)に示すように、幅0.3 μm、深さ1 μmのトレンチが得られる。

【0023】(c)に示すように、スパッタリングなどにより、タンクステン、アルミニウム、銅などの金属14を、トレンチ13内部に堆積により埋め込むと共にシリコン基板11上に堆積する。

【0024】(d)に示すように、堆積させた金属14の上に、絶縁物15を、CVDまたはスパッタにより堆積させるか、または絶縁板の接着により形成する。

【0025】(e)に示すように、シリコン基板11をドライエッチングまたはウエットエッチングにより除去し、トレンチ13に埋め込まれた金属14を、針状の電極16として露出させる。

\*かつたレベルに高集積化されたマイクロエミッタ電極を得ることができることに想到した。しかるに、この想到は従来技術の常識に反するものであることから、この想到は極めて困難性の高いものといえる。即ち、従来は、材料をエッチングして残存する部分を電極とするものであったため、エッチングとしては等方性エッチングを用いねばならず、これが常識化していた。また、製品を作るに当っては、最少のプロセスによって作るのが当然である。よって、ある材料にマスクパターンを形成し、エ

10 ッチングし、残存する部分を電極とする、というプロセスを探るのが常識である。これ以外の方法では、工程数が増し、コストが上昇するのが避けられないからである。本発明は、マイクロエミッタ電極を作るに当ってのこのような従来の常識を打ち破り、残存する部分を電極とするのではなく、異方性エッチングを用い、工程数が増えることこだわらず、実現されたものである。

【0018】以下、図面を参照しながら本発明の実施例を説明する。

#### 実施例1

20 図1は、本発明の実施例1のマイクロエミッタ電極の製造方法のプロセス図であり、特に、高集積度の電極を形成する方法を示すものである。

【0019】図1において示すように、マイクロエミッタ電極は、(a)～(e)のプロセスで製造される。その製造過程を順を追って説明する。

【0020】(a)に示すように、シリコン基板11にトレンチを作るためのマスク12を形成する。

【0021】(b)に示すように、反応性イオンエッチングなどにより、テーパ状のトレンチ13を形成する。

30 【0022】このとき、マグネットロンRIE装置においてS1ウェハーにトレンチを形成する場合、エッチング条件を、

【0026】以上のようなプロセスを通じて、絶縁物15の上に、電極16を配置したマイクロエミッタ電極を40 製造することができる。

【0027】以上のような製造プロセスによれば、等方エッチングにより直接電極を形成する場合に比較して、電極16の集積度を向上することが可能となり、電極16の集積度を10<sup>6</sup>(個/mm<sup>2</sup>)程度以上に上げることができる。

#### 実施例2

図2は、本発明の実施例2のマイクロエミッタ電極の製造方法のプロセス図であり、特に、電極毎に個別に配線を形成する方法を示すものである。

50 【0028】図2において示すように、マイクロエミッ

タ電極は、(a)～(g)のプロセスで製造される。その製造過程を順を追って説明する。

【0029】(a)に示すように、シリコン基板11にトレンチを作るためのマスク12を形成する。

【0030】(b)に示すように、反応性イオンエッチングなどにより、テーパ状のトレンチ13を形成する。

【0031】(c)に示すように、スパッタリングなどにより、タンクステン、アルミニウム、銅などの金属14を、トレンチ13内部に堆積により埋め込むと共にシリコン基板11上に堆積する。

【0032】(d)に示すように、トレンチ13間の金属14をエッティングし、ここに絶縁物21を埋め込むことにより、トレンチ13間の絶縁を行う。

【0033】(e)に示すように、任意のトレンチ13に対応して、配線22を施す。

【0034】(f)に示すように、絶縁物21および配線22の上に、絶縁物15を、CVDまたはスパッタにより堆積させるか、または絶縁板の接着により形成する。

【0035】(g)に示すように、シリコン基板11をドライエッティングまたはウェットエッティングにより除去し、トレンチ13に埋め込まれた金属14を、針状の電極16として露出させる。

【0036】以上のようなプロセスを通じて、絶縁物15の上に、電極16およびこれに接続される配線22を配置したマイクロエミッタ電極を製造することができる。

【0037】従来は、電極を全て並列に接続していたので、これらの電極を制御するためにはそれぞれの電極上にゲート電極を配置し、ゲート電極を通じて各電極からの電子の放出を制御しなければならなかった。しかし、ゲート電極は複数個の電極の群毎にしか配線できないため、電極を個別に制御することはできず、電極の大きさに相当する微細な領域において、個別に電子の放出制御を行うことは不可能であった。

【0038】これに対し、以上のような製造プロセスによれば、電極16に対応して、個別に配線22を形成できるので、電極16を個々に制御可能であり、微細領域での電子放出が可能なマイクロエミッタ電極を実現できる。

【0039】上記のように、スラップ(d), (e)によって、電極16の裏側に処理を施して配線22を形成できるのは、その裏側の反対側(電極16の先端側)が基板11によって強度的に補強、保持されているからである。このような加工は、従来例のように、電極101bを作ってしまうと必然的に電極101bの先端側には補強材的なものが何も存在しなくなるものにおいては、不可能なことである。このような利点は、以下に述べる他の実施例においても同様に得られる。

#### 実施例3

図3は、本発明の実施例3のマイクロエミッタ電極の製造方法のプロセス図であり、特に、アノード付きの電極を持ったマイクロエミッタ電極の製作手順を示すものである。

【0040】図3において示すように、マイクロエミッタ電極は、(a)～(j)のプロセスで製造される。その製造過程を順を追って説明する。

【0041】(a)に示すように、シリコン基板11にトレンチを作るためのマスク12を形成する。

【0042】(b)に示すように、反応性イオンエッチングなどにより、テーパ状のトレンチ13を形成する。

【0043】(c)に示すように、トレンチ13およびシリコン基板11の上に、酸化物31を堆積または熱拡散により形成する。

【0044】(d)に示すように、反応性イオンエッチングなどにより、トレンチ13の底部のみの酸化物31をエッティング除去し、トレンチ13の底部に穴を開ける。

【0045】(e)に示すように、トレンチ13の底部を開けた酸化物31の穴から、燐などを注入して、n型半導体32を形成する。

【0046】(f)に示すように、スパッタリングなどにより、タンクステン、アルミニウム、銅などの金属14をトレンチ13内部および酸化物31上に堆積し、その上に、絶縁物15を、堆積または絶縁板の接着により形成する。

【0047】(g)に示すように、シリコン基板11を上下反転させ、n型半導体32の一部が露出するまで、シリコン基板11をエッティングする。

【0048】(h)に示すように、シリコン基板11の上に、アノードとなる金属板33を堆積させる。

【0049】(i)に示すように、n型半導体32が露出している領域の上の金属をエッティングにより除去する。

【0050】(j)に示すように、n型半導体32およびトレンチ13底部の酸化物31をエッティングし、トレンチ13に埋め込まれた金属14を針状の電極16として露出させる。

【0051】以上のようなプロセスを通じて、金属板33をアノードとした針状の電極16を対向させたマイクロエミッタ電極を製造することができる。

【0052】以上のような製造プロセスによれば、高集積度の電極16に対応して、アノードを形成できるので、放出電子量の制御が可能なマイクロエミッタ電極を実現することが可能となる。

#### 実施例4

図4は、本発明の実施例4のマイクロエミッタ装置の概略構成図であり、特に図2の方法により製造されたマイクロエミッタ電極を露光装置に適用した場合の構造を示すものである。

【0053】図4において示すように、マイクロエミッタ電極41に対応して、被露光物42を載せた基板43が配線される。マイクロエミッタ電極41の電極16と基板43の間には、バイアスをかけるための電源44が接続される。

【0054】以上述べたような構成において、次に、その動作を説明する。

【0055】基板43と電極16の間にバイアスを印加することにより、電極16から電子を放出させ、被露光物42に照射させ、これにより被露光物42に露光を行う。この時、所望の露光パターンを得るために、パターンに応じた電極16にのみ、電源44からバイアスが印加されるように制御することにより、高集積度で配置された電極16の集積度に対応する解像度での露光を一度に実施することができる。

#### 実施例5

図5は、本発明の実施例5のマイクロエミッタ装置の概略構成図であり、特に図2の方法により製造されたマイクロエミッタ電極をディスプレイ装置に適用した場合の構造を示すものである。

【0056】図5において示すように、マイクロエミッタ電極41に対応して、蛍光板51を配置する。マイクロエミッタ電極41と蛍光板51の間にはスペーサ52が配置される。マイクロエミッタ電極41の電極16と蛍光板51の間には、バイアスをかけるための電源44が接続される。

【0057】以上述べたような構成において、次に、その動作を説明する。

【0058】基板43と電極16の間にバイアスを印加することにより、電極16から電子を放出させ、蛍光板51に照射させ、これにより蛍光板51を発光させる。

【0059】この時、所望の発光パターンを得るために、パターンに応じた電極16にのみ、電源44からバイアスが印加されるように制御することにより、高集積度で配置された電極16を個別に制御することが可能となるため、蛍光板51に表示できるパターンの解像度を、最高で電極16の大きさまで高めることができる。

【0060】つまり、高集積度で形成された電極16の集積度に対応する解像度での高品質の表示を実現することができる。

【0061】ちなみに、この実施例の場合、電極16の集積度が高いので、単位面積当たりの電子の放出量が大きくなり、発光強度が大きくなるという特長もある。

#### 実施例6

図6は、本発明の実施例6のマイクロエミッタ装置の概略構成図であり、特に図3の方法により製造されたアノード付きマイクロエミッタ電極に、トランジスタを組み込んだ構造を示すものである。

【0062】図6において示すように、金属14の上に、トランジスタのコレクタとなるn型半導体64を堆

積し、さらにp型半導体65とn型半導体64の層を形成し、その上に酸化膜63を形成する。そして、酸化膜63のn型半導体64に対応する部分およびp型半導体65に対応する部分をエッチをエッティングし、n型半導体64に対応する部分からエミッタ電極62を取り出し、p型半導体65に対応する部分からベース電極61を取り出す。次に、エミッタ電極62と金属板33の間を配線し、ベース電極61には電源66から電圧を印加する。

10 【0063】以上述べたような構成において、次にその動作を説明する。

【0064】電極16に電気的に接続される金属14は、トランジスタのコレクタに対応するp型半導体65に接続され、エミッタ電極62は金属板33に接続されるので、電源66により、ベース電極61に印加されるベース電圧を制御することにより、電極16の金属板33に対する電圧を制御できるので、結果として電極16から放出される電子の量を制御することができる。

【0065】特に、個々の電極16毎にトランジスタを20配置することにより、各電極16毎に電子の放出量を制御できるので、高集積度で配置された電極16からの電子放出をきめ細かく制御することができるようになる。

【0066】本発明の各実施例によれば、以下のような効果が得られる。

【0067】実施例1によれば、微細に配置可能なトレンチの中に金属を堆積し、この金属によりマイクロエミッタ電極を形成するようにしたので、高集積度で配置されたマイクロエミッタ電極を形成できる。

【0068】実施例2によれば、高集積度で形成された電極に、個々に配線を施すようにしたので、高集積度で配置されたマイクロエミッタ電極を、個別に選択制御できる。

【0069】実施例3によれば、各電極に対向してアノード電極を配置するようにしたので、アノード電極により電子の放出を制御することができるマイクロエミッタ電極を構成できる。

【0070】実施例4によれば、個別に選択制御できるマイクロエミッタ電極により、被露光材にパターンの露光するように構成したので、高集積度のマイクロエミッタ電極の解像度に対応したパターンの露光を実現できる。

【0071】実施例5によれば、個別に選択制御できるマイクロエミッタ電極により、蛍光板にパターンの表示できるように構成したので、高集積度のマイクロエミッタ電極の解像度に対応した表示を実現できる。

【0072】実施例6によれば、マイクロエミッタ電極に対向して設けたアノード電極と、マイクロエミッタ電極との間の印加電圧を制御できるように構成したので、マイクロエミッタ電極からの電子の放出量を個別に制御できる。

## 【0073】

【発明の効果】本発明によれば、基板にトレンチを作つて、そこに電極材料を埋め込んで電極を作るようとしたので、集積度を著しく高めることができると共に、電極の裏側についての加工も可能となり、よって各電極に選択的に配線を施して各電極を個別に制御可能なエミッタ電極を実現でき、さらに、電極の密度に応じた高密度なパターンを表示でき、さらに電極からの電子の放出量を制御することもできる。

## 【図面の簡単な説明】

【図1】本発明の実施例1のマイクロエミッタ電極の製造方法のプロセス図である。

【図2】本発明の実施例2のマイクロエミッタ電極の製造方法のプロセス図である。

【図3】本発明の実施例3のマイクロエミッタ電極の製造方法のプロセス図である。

【図4】本発明の実施例4のマイクロエミッタ装置の概略構成図である。

【図5】本発明の実施例5のマイクロエミッタ装置の概略構成図である。

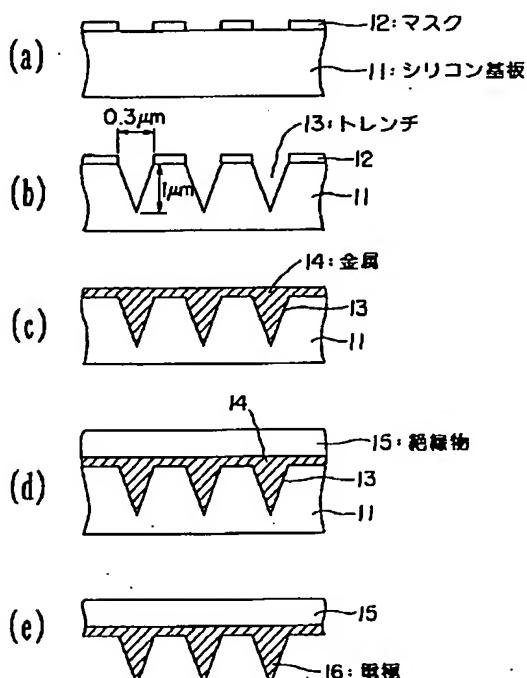
【図6】本発明の実施例6のマイクロエミッタ装置の概略構成図である。

【図7】従来例におけるマイクロエミッタ電極の製造方法のプロセス図である。

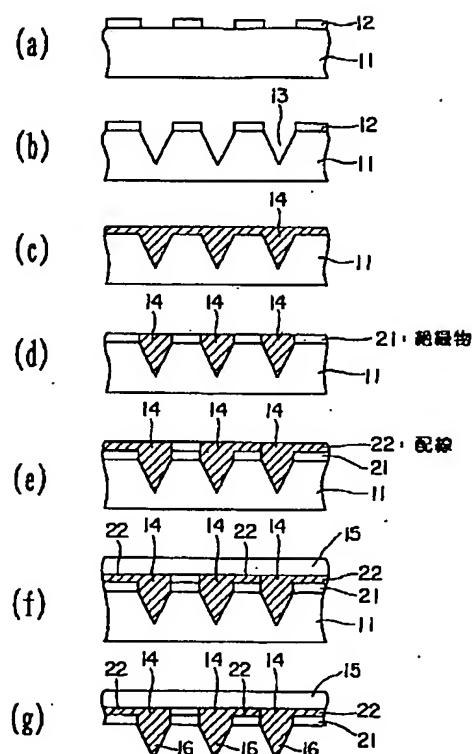
## 【符号の説明】

- |        |            |
|--------|------------|
| 1 1    | シリコン基板     |
| 1 2    | マスク        |
| 1 3    | トレンチ       |
| 1 4    | 金属         |
| 1 5    | 絶縁物        |
| 1 6    | 電極         |
| 2 1    | 絶縁物        |
| 2 2    | 配線         |
| 10 3 1 | 酸化物        |
| 3 2    | n型半導体      |
| 3 3    | 金属板        |
| 4 1    | マイクロエミッタ電極 |
| 4 2    | 被露光物       |
| 4 3    | 基板         |
| 4 4    | 電源         |
| 5 1    | 蛍光板        |
| 5 2    | スペーサ       |
| 6 1    | ベース電極      |
| 20 6 2 | エミッタ電極     |
| 6 3    | 酸化膜        |
| 6 4    | n型半導体      |
| 6 5    | p型半導体      |
| 6 6    | 電源         |

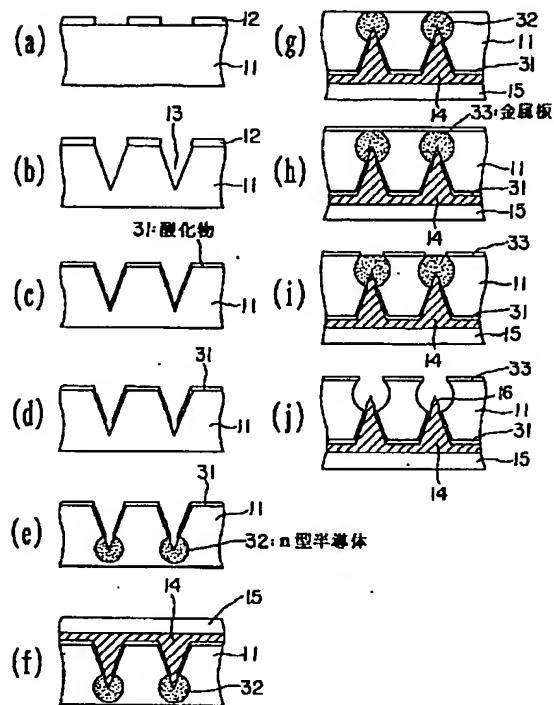
【図1】



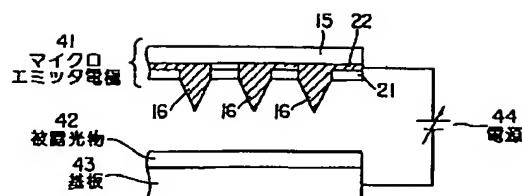
【図2】



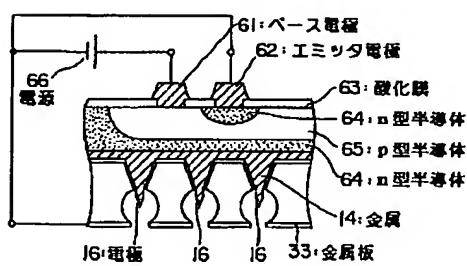
【図3】



【図4】



【図6】



【図7】

